

English Translation of

KOREAN PATENT

Publication No. 1996-8865B

[Claims]

[Claim 1] A method of fabricating a capacitor of a semiconductor memory device, comprising the steps of:

- a first step of forming a conductive layer over the entirety of a semiconductor substrate;
- a second step of forming a first pattern having a configuration limited in each cell unit on the conductive layer;
- a third step of forming a first spacer on a side wall of the first pattern;
- a fourth step of forming a second spacer on a side wall of the first spacer;
- a fifth step of forming a storage electrode pattern by etching the conductive layer, using the first pattern, the first spacer and the second spacer as an etching mask;
- a sixth step of removing the first pattern and the second spacer;
- a seventh step of forming a third spacer on an inner side wall and an outer side wall of the first spacer;
- an eighth step of removing the first spacer; and
- a ninth step of forming a storage electrode by etching the storage electrode pattern, using the third spacer as an etching mask;

[Claim 2] A method of fabricating a capacitor of a semiconductor memory device according to Claim 1, wherein prior to the first step, the step of forming an etching preventing layer, a first interlayer film, a second interlayer film and a third interlayer film on the semiconductor substrate is added.

[Claim 3] A method of fabricating a capacitor of a semiconductor memory device according to Claim 2, wherein the second interlayer film is made from the same conductive material as that of the first conductive layer.

[Claim 4] A method of fabricating a capacitor of a semiconductor memory device according to Claim 1, wherein after the sixth step, the step of etching the first conductive layer to a given depth, using the first spacer as an etching mask is added.

[Claim 5] A method of fabricating a capacitor of a semiconductor memory device, comprising the steps of:

a first step of forming a first conductive layer over the entirety of a semiconductor substrate;

a second step of forming a second conductive layer on the first conductive layer;

a third step of sequentially laminating a first material layer and a second material layer on the second conductive layer;

a fourth step of forming a first pattern made of the first material layer and a second pattern made of the second material layer by patterning the first material layer and the second material layer so as to limit them in each cell unit;

a fifth step of forming a storage electrode pattern by etching the conductive layer, using the first pattern an the second pattern as an etching mask;

a sixth step of forming a third pattern by isotropically etching an edge of the first pattern;

a seventh step of removing the second pattern;

an eight step of forming a spacer on a side wall of the third pattern and on a side wall of the storage electrode pattern;

a ninth step of removing the third pattern; and

a tenth step of forming a storage electrode by etching the first conductive layer and the second conductive layer, using the spacer as an etching mask.

[Claim 6] A method of fabricating a capacitor of a semiconductor memory device according to Claim 5, wherein prior to the first step, a step of forming an etching preventing layer and an interlayer film on the semiconductor substrate is added.

[Claim 7] A method of fabricating a capacitor of a semiconductor memory device according to Claim 5, wherein the first material layer is made from a material having an etching rate different from that of a material composing the second conductive layer in an arbitrary etching step, and the second material layer is made from a material having an etching rate different from that of a material composing the first conductive layer in an arbitrary isotropic etching step.

[Claim 8] A method of fabricating a capacitor of a semiconductor memory device according to Claim 7, wherein the first conductive layer and the second conductive layer are each made from polysilicon, and the second material layer is made from any material among a photoresist, oxide

and nitride.

[Claim 9] A method of fabricating a capacitor of a semiconductor memory device according to Claim 6 or 8, wherein the first material layer is made from nitride, the spacer is made from oxide and the etching preventing layer is made from nitride when the second material layer is made from photoresist or oxide.

[Claim 10] A method of fabricating a capacitor of a semiconductor memory device according to Claim 6 or 8, wherein the first material layer is made from oxide and the spacer is made from nitride when the second material layer is made from photoresist or nitride.

[Claim 11] A method of fabricating a capacitor of a semiconductor memory device according to Claim 5, wherein the etching is conducted by a thickness of the second conductive layer in the fifth step.

[Claim 12] A method of fabricating a capacitor of a semiconductor memory device, comprising the steps of:

a first step of forming a conductive layer over the entirety of a semiconductor substrate;

a second step of sequentially laminating the conductive layer, a first material layer, a second material layer and a third material layer;

a third step of forming a first pattern made of the second material layer and a second pattern made of the third material layer by patterning the second material layer and the third material layer to limit in each cell unit;

a fourth step of forming a first spacer on a side wall of the first pattern and on a side wall of the second pattern;

a fifth step of forming a third pattern made of the first material layer by etching the first material layer, using the first spacer, the first pattern and the second pattern as an etching mask;

a sixth step of removing the second pattern and the first spacer;

a seventh step of forming a second spacer on a side wall of the first pattern and on a side wall of the third pattern;

an eighth step of removing the first pattern; and

a ninth step of forming a storage electrode by anisotropically etching the third pattern and the conductive layer, using the second spacer as an etching mask.

[Claim 13] A method of fabricating a capacitor of a semiconductor memory device according to claim 12, wherein prior to the first step, a step of forming an etching preventing layer and an interlayer film on the semiconductor substrate is added.

[Claim 14] A method of fabricating a capacitor of a semiconductor memory device according to Claim 12, wherein the first material layer is made from a material having an etching rate different from that of a material composing the conductive layer in an arbitrary etching, the second material layer is made from a material having an etching rate which is the same as that of the material composing the conductive layer in an arbitrary anisotropic etching, the third material layer is made from a material having an etching rate which is the same as that of a material composing the first spacer in an arbitrary anisotropic etching and is different from that of materials each composing the second material layer, the first material layer and the conductive layer in an arbitrary anisotropic etching, the second spacer is made from a material having an etching rate different from a material composing the conductive layer in an arbitrary anisotropic etching.

[Claim 15] A method of fabricating a capacitor of a semiconductor memory device according to Claim 14, wherein the conductive layer is made from polysilicon, the first material layer is made from nitride, the second material layer is made from polysilicon and the third material layer, the first spacer and the second spacer are made from oxide.

[Claim 16] A method of fabricating a capacitor of a semiconductor memory device according to Claim 14, wherein the conductive layer is made from polysilicon, the first material layer is made from oxide, the second material layer is made from polysilicon and the third material layer, the first spacer and the second spacer are made from nitride.

[Claim 17] A method of fabricating a capacitor of a semiconductor memory device according to Claim 12, wherein prior to or after the eighth step, a step of etching the conductive layer to a given depth, using the materials laminated on the conductive layer as an etching mask is added.

[Claim 18] A method of fabricating a capacitor of a semiconductor memory device according to Claim 12, wherein the eighth step is performed by anisotropic etching.

[Claim 19] A method of fabricating a capacitor of a semiconductor memory device according to Claim 2, wherein the second interlayer film is made from the same material as that composing the first spacer.

(19) 대한민국특허청(KR)

(12) 특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/108 H01L 27/102	(45) 공고일자 1996년07월05일 (11) 등록번호 특 1996-0008865 (24) 등록일자
(21) 출원번호 특 1992-0012648 (22) 출원일자 1992년07월15일	(65) 공개번호 특 1999-1000001 (43) 공개일자 1999년01월01일
(73) 특허권자 삼성전자주식회사 김광호 경기도 수원시 권선구 매탄동 416번지 심상필	
(72) 발명자 경기도 수원시 권선구 매탄동 111-37 윤주영 경기도 의왕시 내손동 630번지 한신빌라 103동 102호 황창규 서울특별시 강남구 대치동 미도아파트 203동 402호 이정길 경기도 수원시 권선구 매탄동 임광아파트 1동 1506호 신철호 서울특별시 성북구 동소문동 7가 28-14 이원우 경기도 수원시 권선구 매탄1동 172-7 이영필, 최덕용	
(74) 대리인	심사관 : 김정옥 (책 자공보 제4535호)

(54) 반도체 메모리장치의 커패시터 제조방법

요약

내용없음.

대표도

도1

명세서

[발명의 명칭]

반도체 메모리장치의 커패시터 제조방법

[도면의 간단한 설명]

제1도 내지 제4도는 종래 방법에 의한 반도체 메모리장치의 커패시터 제조방법을 설명하기 위해 도시된 단면도들.

제5도 내지 제9도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제1실시예를 설명하기 위해 도시된 단면도들.

제10도 내지 제11도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제2실시예를 설명하기 위해 도시된 단면도들.

제12도 내지 제15도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제3실시예를 설명하기 위해 도시된 단면도들.

제16도 내지 제20도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제4실시예를 설명하기 위해 도시된 단면도들.

제21도 내지 제25도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제5실시예를 설명하기 위해 도시된 단면도들.

제26도 내지 제33도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제6실시예를 설명하기 위해 도시된 단면도들.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치 및 그 제조방법에 관한 것으로, 특히 스택형 커패시터 구조를 가진 메모리

셀에 있어서 그 셀커패시턴스를 증가시키기 위해 커패시터의 스토리지전극 구조를 개선한 반도체 메모리 장치 및 그 제조방법에 관한 것이다.

메모리셀 면적을 감소에 따른 셀커패시턴스 감소는 DRAM(Dynamic Random Access Memory)의 집적도 증가에 심각한 장애요인이 되는데, 이는 메모리셀의 독출능력을 저하시키고 소프트 에라율을 증가시킬 뿐만 아니라, 저전압에서의 소자동작을 어렵게 하여 작동시 전력소모를 과다하게 하기 때문에 반도체 메모리 장치의 고집적화를 위해서는 반드시 해결해야 할 과제이다.

통상, 약 $1.5\mu\text{m}^2$ 의 메모리셀 면적을 가지는 64Mb급 DRAM에 있어서는 일반적인 2차원적인 스택형 메모리셀을 사용한다면 Ta_2O_5 와 같은 고유전율의 물질을 사용하더라도 충분한 커패시턴스를 얻기가 힘들기 때문에 3차원적 구조의 스택형 커패시터를 제안하여 커패시턴스 향상을 도모하고 있다. 이중스택(Double stack)구조, 핀(Fin)구조, 원통형전극(Cylindrical electrode)구조, 스프레드 스택(Spread stack)구조 및 박스(Box)구조는 메모리셀의 셀커패시턴스 증가를 위해 제안된 3차원적 구조의 스토리지전극들이다.

3차원적 스택형 셀커패시터 구조에 있어서, 특히 원통구조는 원통의 외면 뿐만아니라 내면까지 유효커패시터 영역으로 이용할 수 있어 64Mb급 메모리셀이나 그 이상급으로 고집적되는 메모리셀에 적합한 구조로 채택되고 있는데, 현재는 원통 내부에 원기둥, 또는 다른 원통을 첨가함으로써 셀커패시턴스를 향상시키기 위한 커패시터 구조가 제안되고 있다.

제1도 내지 제4도는 종래 방법에 의한 반도체 메모리장치의 제조방법을 설명하기 위해 도시된 단면도로서, 원통 내부에 또다른 원통이 첨가된 구조의 스토리지전극 형성방법을 설명한다. 이는, 1991년 IEEE지에 발표된 논문, 'Crown-Shaped Stacked-Capacitor Cell for 1.5-V Operation 64-Mb DRAM's'을 참조한다.

제1도는 필드산화막(12)에 의해 활성영역 및 비활성영역으로 구분되어진 반도체기판의 상기 활성영역에, 하나의 비트라인(20)과 드레인영역(16)을 공유하고 각각이 하나씩의 소오스영역(14) 및 게이트전극(18)을 구비하는 트랜지스터를 형성하는 공정, 결과물 전면에 상기 트랜지스터를 다른 도전층들(이후의 공정에 의해 제조될 도전층)로부터 절연시키기 위한 절연층(19)을 형성하는 공정, 결과물 전면에 평탄화층(22)을 형성하는 공정, 상기 소오스영역(14)상에 적층되어 있는 절연층 및 평탄화층을 부분적으로 제거하여 콘택홀을 형성하는 공정, 상기 콘택홀을 제1의 다결정실리콘으로 채움으로써 기둥전극(30)을 형성하는 공정, 결과물 전면에 제1의 이산화실리콘층(24), 실리콘 나이트라이드층(26) 및 제2의 이산화실리콘층(32)을 적층하는 공정, 각 셀 단위로 한정되고 상기 기둥전극(30)의 표면이 노출되도록 적층된 물질층에 우물을 형성하는 공정, 결과물 전면에 제2의 다결정실리콘을 증착하여 제1의 다결정실리콘층(34)을 형성하는 공정, 및 제3의 이산화실리콘층을 형성한 후 이방성식각함으로써 상기 우물의 내부 측벽에 제3의 이산화실리콘층으로 된 스페이서(36)를 형성하는 공정에 의해 형성된 반도체장치를 도시한다.

제2도는 스페이서(36)가 형성된 반도체기판 전면에 제3의 다결정실리콘을 증착하여 제2의 다결정실리콘층(38)을 형성하는 공정, 및 상기 제2의 다결정실리콘층의 표면이 노출되지 않도록 결과물 전면에 제4의 이산화실리콘층(40)을 형성하는 공정에 의해 형성된 반도체장치를 도시한다.

제3도는 스페이서(36)의 최상부 표면의 높이 정도까지 상기 제4의 이산화실리콘층을 에치백하는 공정, 및 표면으로 노출된 상기 제2의 다결정실리콘층을 이방성식각으로 제거한 후 상기 이방성식각에 의해 표면으로 노출된 상기 제1의 다결정실리콘층을 이방성식각함으로써 스토리지전극(100)을 형성하는 공정에 의해 형성된 반도체장치를 도시한다.

제4도는 제4의 이산화실리콘층, 스페이터 및 제2의 이산화실리콘층을 제거하는 공정, 상기 스토리지전극(100) 전면에 유전체막(110)을 형성하는 공정 및 결과물 전면에 제4의 다결정실리콘을 증착하여 플레이트전극(120)을 형성하는 공정에 의해 형성된 반도체장치를 도시한다.

상술한 종래 방법에 의한 반도체 메모리장치의 제조방법에 의하면, 원통 내부에 또 다른 원통이 첨가된 스토리지전극을 형성할 수 있어 셀커패시턴스를 향상시킬 수는 있으나, 첫째, 기둥전극(제1도에서 설명)형성을 위해 콘택홀을 형성한 후 제1의 다결정 실리콘을 채울 때, 상기 제1의 다결정실리콘이 채워지는 상태에 따라 그 상부에 형성되는 원통의 모양이 좌우되기 때문에 콘택홀 부분에만 상기 제1의 다결정실리콘을 정확하게 채우는 것이 중요한데, 그 공정이 매우 어렵다.

둘째, 우물(제1도에서 설명)을 형성하기 위해 상기 제2의 이산화실리콘층을 이방성식각하는 공정시, 상기 우물은 그 측벽이 포지티브한 경사를 가지고도록 형성되기가 쉬운데, 이는 스토리지전극의 바깥쪽 측벽을 네거티브한 경사를 가지고 만들기 때문에, 플레이트전극 형성을 위한 도전물질 형성시 셀 사이에 구멍(Void) 발생 가능성이 높다.

셋째, 제4의 이산화실리콘을 에치백하여 두겹의 원통형전극으로 구성된 스토리지전극을 형성할때(제3도에서 설명), 그 정도를 조절하기 힘들기 때문에 균일한 셀커패시턴스 확보가 어렵다.

네째, 스토리지전극이 서로 다른 3개의 도전층에 의해 구성되므로, 각 도전층간의 경계면에는 자연산화막이 생겨 저항성분이 커지고 각 도전층간의 접착성이 좋지 않을 경우 스핀드라이힐 때와 같이 힘을 받을 경우 떨어져 나갈 수도 있다.

다섯째, 원통전극의 끝부분이 뾰족하게 형성되므로 누설전류가 생길 가능성이 많다 등의 문제점들이 지적되었다.

본 발명의 목적은 메모리장치의 신뢰도를 향상시킬 수 있는 반도체 메모리장치의 커패시터 제조방법을 제공하는데 있다.

본 발명의 다른 목적은 메모리장치의 셀커패시턴스를 향상시킬 수 있는 반도체 메모리장치의 커패시터 제조방법을 제공하는데 있다.

본 발명의 상기 목적들을 달성하기 위한 일 실시예는, 반도체기판 전면에 제1도전층을 형성하는 공정, 제1도전층상에 각 셀 단위로 한정된 모양의 제1패턴을 형성하는 공정, 제1패턴 측벽에 제1의 측벽스페이서를 형성하는 공정, 제1의 측벽스페이서 측벽에 제2의 측벽스페이서를 형성하는 공정, 제1패턴, 제1의 측벽스페이서 및 제2의 측벽스페이서를 식각마스크로 하여 상기 제1도전층을 식각함으로써 제1의 스토리지전극 패턴을 형성하는 공정, 제1패턴 및 제2의 측벽스페이서를 제거하는 공정, 결과물상에 제3의 측벽스페이서를 형성하는 공정, 및 상기 제3의 측벽스페이서를 식각마스크로 하고 상기 제1도전층을 식각 대상물로 한 이방성식각 공정을 결과물 전면에 행함으로써 스토리지전극을 형성하는 공정으로 진행된다.

본 발명의 상기 목적들을 달성하기 위한 다른 실시예는, 반도체기판 전면에 제1도전층을 형성하는 공정, 제1도전층상에 제3도전층을 형성하는 공정, 제3도전층상에 제1의 물질층 및 제2의 물질층을 차례대로 적층하는 공정, 각 셀 단위로 한정되도록 상기 제1의 물질층을 패터닝하므로써 제1의 제2패턴을 형성하는 공정, 제1의 제2패턴을 식각마스크로 하여 제2패턴 하부에 있는 도전층을 소정깊이로 식각함으로써 제2의 스토리지전극 패턴을 형성하는 공정, 상기 제1의 제2패턴을 등방성식각하여 제2의 제2패턴을 형성하는 공정, 제2의 제2패턴 및 제2의 스토리지전극 패턴의 측벽에 제4의 측벽스페이서를 형성하는 공정, 및 제4의 측벽스페이서를 식각마스크로 하여 상기 제1의 도전층 및 제3의 도전층을 식각함으로써 스토리지전극을 형성하는 공정으로 진행한다.

본 발명의 상기 목적들을 달성하기 위한 또 다른 실시예는, 반도체기판 전면에 제1도전층을 형성하는 공정, 제1도전층상에 제3의 물질층, 제4의 물질층 및 제5의 물질층을 차례대로 형성하는 공정, 상기 제5의 물질층과 제4의 물질층을 각 셀 단위로 한정되도록 패터닝하므로써 제5의 물질층과 제4의 물질층으로 형성된 제3패턴을 형성하는 공정, 제3패턴 측벽에 제5의 측벽스페이서를 형성하는 공정, 제5의 측벽스페이서와 제3패턴을 식각마스크로 하고 제3의 물질층을 식각대상물로 한 식각공정을 행함으로써 상기 제3의 물질층으로 된 제4패턴을 형성하는 공정, 제5의 물질층으로 된 제3패턴 및 제5의 측벽스페이서를 제거하는 공정, 제4의 물질층으로 된 제3패턴 및 제4패턴 측벽에 제6의 측벽스페이서를 형성하는 공정, 제3패턴을 제거하는 공정, 및 제6의 측벽스페이서를 식각마스크로 하고 상기 제1도전층을 식각대상물로 한 이방성식각 공정을 결과물 전면에 행함으로써 스토리지전극을 완성하는 공정으로 진행된다.

이하, 첨부한 도면을 참조하여 본 발명을 더욱 더 자세하게 설명하고자 한다. 계속해서 소개되는 도면들에 있어서, 상기 제1도 내지 제4도에서 참조한 도면부호와 동일한 도면부호는 동일 부분을 의미한다.

제5도 내지 제9도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제1실시예를 설명하기 위해 도시된 단면도들이다.

먼저, 제5도는 제1도전층(50)상에 제1패턴(52)을 형성하는 공정을 도시한 것으로서, 필드산화막(12)에 의해 활성영역 및 비활성영역으로 구분되어진 반도체기판(10)의 상기 활성영역에, 비트라인(20)과 드레인영역(16)을 공유하고 각각이 하나씩의 소오스영역(14)과 게이트전극(18)을 구비하는 트랜지스터를 형성하는 제1공정, 결과물 전면에, 예컨대 고온산화막(High Temperature Oxide: HTO)과 같은 순수산화막을 도포하여 이후의 공정에 의해 형성될 도전층들(예컨대 스토리전극)로부터 상기 트랜지스터를 절연시키기 위한 층간절연층(19)을 형성하는 제2공정, 예컨대 BPSG(BoroPhosphoSilicate Glass)나 PSG(PhosphoSilicate Glass)와 같은 절연물질을 결과물 전면에 도포한 후 평탄화 공정을 행함으로써 그 표면이 평탄화된 평탄화층(22)을 형성하는 제3공정, 평탄화층상에, 임의의 식각에 대해 그 식각율이 서로 다른(임의의 식각에 대해, A물질의 식각율을 1로 했을 때 B물질의 식각율은 4~5 이상) 두 절연물질, 예컨대 고온산화막과 같은 산화물과 실리콘 나이트라이드(Si_3N_4)와 같은 질화물을 교대로 적층하여 식각저지층(42), 제1의 층간막(44), 제2의 층간막(46) 및 제3의 층간막(48)을 형성하는 제4공정(제1의 제1실시예의 경우), 트랜지스터의 소오스영역상에 적층되어 있는 물질들을 제거하여 스토리지전극을 상기 소오스영역에 절연시키기 위한 콘택홀을 형성하는 제5공정, 결과물 전면에, 예컨대 불순물이 도우프된 결정실리콘과 같은 도전물질을, 예컨대 상기 제3의 층간막의 표면으로부터 약 $4,000\text{ \AA}$ ~ $6,000\text{ \AA}$ 정도의 두께로 증착하여 제1도전층(50)을 형성하는 제6공정, 제1도전층상에 임의의 식각에 대해 상기 제1도전층을 구성하는 물질과는 그 식각율이 다른 물질을 약 $1,000\text{ \AA}$ ~ $1,500\text{ \AA}$ 정도의 두께로 도포한 후 각 셀 단위로 한정되도록 패터닝함으로써 제1패턴(52)을 형성하는 제7공정으로 진행한다.

이때, 상기 제4공정에 있어서, 상기 식각저지층(42)은 실리콘 나이트라이드와 같은 질화물을 약 100 \AA ~ 200 \AA 정도의 두께로 도포하여 형성하고, 상기 제1의 층간막(44)은 고온산화막과 같은 산화물을 약 500 \AA ~ $1,000\text{ \AA}$ 정도의 두께로 도포하여 형성하며, 상기 제2의 층간막(46)은 실리콘 나이트라이드(Si_3N_4)와 같은 질화물을 약 500 \AA ~ $1,000\text{ \AA}$ 정도의 두께로 도포하여 형성하고, 상기 제3의 층간막(48)은 고온산화막과 같은 산화막과 같은 산화물을 약 500 \AA ~ $1,000\text{ \AA}$ 정도의 두께로 도포하여 형성한다. 또한 상기 제1패턴을 구성하는 물질로는 실리콘산화물(제1의 제1실시예) 또는 실리콘질화물(제2의 제1실시예)을 사용한다.

계속해서 소개되는 도면들(제6도 내지 제9도, 제10도 및 제11도 및 제12도 내지 제15도)에 있어서, 그 설명은 제1의 제1실시예를 기준으로 하고, 제2의 제1실시예의 경우엔 ()안에 설명한다.

제6도는 제1의 측벽스페이서(54), 제2의 측벽스페이서(56) 및 제1의 스토리지전극 패턴(50a)을 형성하는 공정을 도시한 것으로서, 제1패턴(52)이 형성되어 있는 결과물 전면에, 질화물(제2의 제1실시예의 경우 산화물)을 예컨대 약 500 \AA ~ $1,000\text{ \AA}$ 정도의 두께로 도포한 후 이방성식각함으로써 상기 제1패턴 측벽에 제1의 측벽스페이서(54)를 형성하는 제1공정, 결과물 전면에, 산화물(제2의 제1실시예의 경우 질화물)을 예컨대 약 500 \AA ~ $1,000\text{ \AA}$ 정도의 두께로 도포한 후 이방성식각함으로서 상기 제1의 측벽스페이서 측벽에 제2의 측벽스페이서(56)를 형성하는 제2공정, 제1패턴(52), 제1의 측벽스페이서(54) 및 제2의 측벽스페이서(56)를 식각마스크로 하고 상기 제1도전층을 식각대상물로 하며 상기 제3의 층간막(48)을 식각증료정으로 한 이방성식각 공정을 결과물 전면에 행하여 제1의 스토리지전극 패턴(50a)을 형성하는 제3공정으로 진행된다.

제7도는 제2의 스토리지전극 패턴(50b)을 형성하는 공정을 도시한 것으로서, 제1패턴, 제2의 측벽스페이서 및 제3의 층간막을 제거하는 제1공정(이때, 제2의 제1실시예의 경우엔 제2의 층간막(46)까지만 형성

되기 때문에, 제3의 층간막 대신 제2의 층간막이 제거된다. 남은 제2의 측벽스페이서(54)를 식각마스크로 하여 상기 제1의 스토리지전극 패턴을 소정깊이, 예컨대 약 500Å 정도의 깊이로 식각하여 제2의 스토리지전극 패턴(50b)을 형성하는 제2공정으로 진행된다.

제8도는 제3의 측벽스페이서(58) 및 스토리지전극(100)을 형성하는 공정을 도시한 것으로서, 제1의 측벽스페이서 및 제2의 층간막을 제거하는 제1공정(제2의 제1실시예의 경우엔, 제2의 층간막 대신 제1의 층간막이 제거된다), 결과물 전면에, 산화물(질화물도 가능함)을, 예컨대 약 500Å~1,000Å 정도의 두께로 도포한 후 이방성식각함으로써 상기 제2의 스토리지전극 패턴 측벽에 제3의 측벽스페이서를 형성하는 제2공정, 및 제3의 측벽스페이서를 식각마스크로 하여 상기 제2의 스토리지전극 패턴을 소정깊이, 약 3,000Å~5,000Å 정도의 깊이로 식각함으로서 상기 스토리지전극(100)을 형성하는 제3공정으로 진행된다. 이때, 스토리지전극 형성을 위해 이용되는 식각공정은 이방성식각 공정으로서 시간식각(time etch) 방법을 이용하였다.

제9도는 유전체막(110) 및 플레이트전극(120)을 형성하는 공정을 도시한 것으로서, 제3의 측벽스페이서 및 제1의 층간막을 제거하는 제1공정, 스토리지전극 전면에, 예컨대 ONO(Oxide/Nitride/Oxide)막, NO(Nitride/Oxide)막 및 Ta₂O₅ 등의 유전물질을 SiO₂ 등가두께로(SiO₂-equivalent-thickness) 약 45Å~60Å 정도의 두께로 도포하여 상기 유전체막(110)을 형성하는 제2공정, 및 결과물 전면에, 불순물이 도우프된 다결정실리콘과 같은 도전물질을 증착하여 상기 플레이트전극(120)을 형성하는 제3공정으로 진행된다.

상술한 제1실시예에 의하면, 스토리지전극을 하나의 도전층으로 형성할 수 있어 자연산화막에 의한 메모리특성의 저하문제 및 약한 접착력에 의한 도전층의 분리 현상을 방지할 수 있고, 스토리지전극의 끝이 뾰족하게 형성되지 않으므로 누설전류 발생을 막을 수 있으며, 측벽스페이서를 식각마스크로 하여 직접 도전층을 식각함으로써 스토리지전극의 측벽경사를 네거티브하지 않도록 할 수 있어 공간 형성을 방지할 수 있어 메모리장치의 신뢰도를 증가시켰다. 또한 스토리지전극의 하면까지 셀커패시턴스를 위한 유효면적으로 이용할 수 있으므로 고집적화를 가능하게 하는 셀커패시턴스 확보를 가능하게 하였다.

제10도 및 제11도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제2실시예를 도시한 단면도들로서, 제2의 층간막을 형성하는 공정을 제2도전층(60)을 형성하는 공정으로 대치하여 진행할 것이다(제2의 제1실시예의 경우엔, 제1의 층간막과 제2의 층간막 사이에 상기 제2의 도전층을 형성하였다). 이때, 상기 제2도전층을 구성하는 물질로 상기 제1도전층을 구성하는 물질과 동일한 물질을 사용하였다.

이는 제1의 측벽스페이서(54)를 식각마스크로 하여 제1의 스토리지전극 패턴을 이방성식각하는 공정시(제7도 참조) 상기 제2도전층(60)도 함께 식각함으로써(제10도 참조), 트랜지스터의 소오스영역과 접하는 기둥전극(100a), 상기 기둥전극 상부와 연결되고 두겹의 원통으로 형성된 원통전극(100b) 및 상기 기둥전극 중앙부에 형성되고 사방으로 넓게 펼쳐진 원반모양으로 형성된 원반적극(100c)으로 구성된 스트리지전극(100)을 형성하였다(제11도 참조).

상술한 제2실시예에 의하면, 원통전극 하부에 원반전극이 첨가된 스토리지전극을 형성할 수 있으므로 상기 제1실시예 보다 더 큰 셀커패시턴스를 확보할 수 있다.

제12도 내지 제15도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제3실시예를 도시한 단면도로서, 제1의 측벽스페이서(54)의 측벽에 직접 제3의 측벽스페이서(62)를 형성하여 공정을 진행한 경우를 설명한다. 상기 제8도에서 알 수 있듯이, 상술한 제1실시예에서는, 제1의 측벽스페이서(54)를 식각마스크로 이용하여 제1의 스토리지전극(50a)을 식각함으로써 상기 제2의 스토리지전극 패턴(50b)을 형성한 후, 상기 제2의 스토리지전극 패턴의 측벽에 상기 제3의 측벽스페이서(62)를 형성하였다.

제12도는 상기 제6도에서 설명한 방법으로 제1의 스토리지전극 패턴을 형성한 후, 상기 제1패턴, 제2의 측벽스페이서 및 제3의 층간막을 제거함으로써 형성된 반도체장치를 도시한 것이다.

제13도는 제3의 측벽스페이서(62)를 형성하는 공정을 도시한 것으로서, 결과물 전면에 임의의 식각에 대해 상기 제1의 측벽스페이서(54) 및 제1도전층을 구성하는 물질과는 그 식각율이 다른 물질, 예컨대 고온산화막과 같은 산화물(제2의 제1실시예의 경우 질화물)을 약 500Å~1,000Å 정도의 두께로 도포한 후 이방성식각함으로써 상기 제3의 측벽스페이서(62)를 형성하는 공정으로 진행된다.

제14도는 스토리지전극(100)을 형성하는 공정을 도시한 것으로서, 제1의 측벽스페이서 및 제2의 층간막을 제거하는 제1공정, 및 상기 제3의 측벽스페이서(62)를 식각마스크로 하여 상기 제1의 스토리지전극 패턴을 소정깊이, 예컨대 약 3,000Å~5,000Å 정도의 깊이로 이방성식각함으로써 스토리지전극(100)을 형성하는 제2공정으로 진행된다.

상술한 제3실시예에 의하면, 스토리지전극의 최종적인 높이가 상기 제1실시예에 의해 제조된 높이보다 더 높으므로(제2의 스토리지전극 패턴 형성을 위해 식각되는 깊이 만큼(약 500Å~1,000Å 정도)) 상기 제1실시예 보다 더 큰 셀커패시턴스를 얻을 수 있다. 이때, 상기 제2의 층간막(46)을 상기 제1도전층을 구성하는 물질과 같은 물질로하여 공정을 진행했을 때, 상기 제3실시예에서도 제2실시예에서 완성된 스토리지전극과 같은 스토리지전극을 얻을 수 있음을 물론이다.

제16도 내지 제20도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제4실시예를 설명하기 위해 도시된 단면도들로서, 측벽스페이서 형성 공정을 한번만 진행하여 스토리지전극을 형성하는 경우를 설명한다.

먼저, 제16도는 제1의 제2패턴(70) 및 제3의 스토리지전극패턴(69)을 형성하는 공정을 도시한 것으로

서. 상기 제5도에서 설명한 방법으로 평탄화층(22)까지 형성하는 제1공정. 평탄화층상에 식각저지층(42) 및 제4의 층간막(64)을 형성하는 제2공정. 트랜지스터의 소오스영역 상에 적층되어 있는 물질들을 제거하여 스토리지전극을 상기 소오스영역에 접촉시키기 위한 콘택틀을 형성하는 제3공정. 결과물 전면에, 예컨대 분순물이 도우프된 다결정실리콘과 같은 도전물질을 상기 제4의 층간막의 표면을 기준으로 약 $4,000\text{ \AA}$ ~ $6,000\text{ \AA}$ 정도의 두께로 증착하여 제1도전층(66)을 형성하는 제4공정. 제1도전층 전면에, 상기 제1도전층을 구성하는 도전물질과 같은 도전물질을 약 500 \AA ~ $1,000\text{ \AA}$ 정도의 두께로 증착하여 제3도전층(68)을 형성하는 제5공정. 결과물 전면에 임의의 식각에 대해 상기 제3도전층을 구성하는 물질과는 그 식각율이 다른 물질, 예컨대 실리콘 나이트라이드와 같은 질화물(제1의 제2실시예)이나 고온산화막과 같은 산화물(제2의 제2실시예)을 약 500 \AA ~ $1,000\text{ \AA}$ 정도의 두께로 도포하여 제1의 물질층(70)을 형성하는 제6공정. 제1의 물질층 전면에, 예컨대 포토레지스트와 같은 강광성 물질을 도포하여 제려 물질층(72)을 형성하는 제6공정. 각 셀 단위로 한정되도록 상기 제2의 물질층 및 제1의 물질층을 패터닝함으로써 상기 제1의 물질층으로 된 제1의 제2패턴(70)을 형성하는 제7공정. 및 제1의 제2패턴을 식각마스크로 하여 상기 제1의 제2패턴 하부에 적층되어 있는 도전층을 식각함으로써 제1도전층 및 제3도전층으로 형성된 제3의 스토리지전극 패턴(69)을 형성하는 제8공정으로 진행된다.

이때, 상기 제4의 층간막(64)은 고온산화막과 같은 산화물을 약 500 \AA ~ $1,000\text{ \AA}$ 정도의 두께로 도포하여 형성하고, 상기 식각저지층(42)은 실리콘 나이트라이드와 같은 질화물을 약 100 \AA ~ 200 \AA 정도의 두께로 도포하여 형성하며, 제1도전층(66)과 제3도전층(68) 사이에는 얇은 자연산화막(정선으로 표시)이 형성된다. 상기 자연산화막은 제1도전층을 형성한 후 제3도전층을 형성하는 공정 중 여러가지 요인에 의해 형성된다.

상기 자연산화막은 제3의 스토리지전극 패턴(69) 형성을 위한 식각공정 시 식각종료점으로 이용되어, 상기 자연산화막에서 건식식각을 완료할 수도 있으며 오버에칭(overetching)을 하여 상기 제1도전층을 약 500 \AA ~ $1,000\text{ \AA}$ 정도 식각할 수 있도록 한다. 이는, 제1도전층과 제3도전층 사이의 계면을 식각기준점으로 이용할 수 있으므로 공정의 재현성을 향상시켰다.

제17도는 제2의 제2패턴(70a)을 형성하는 공정을 도시한 것으로서, 제1의 물질층을 구성하는 물질을 식각대상으로 한 등방성식각을 행하여 상기 제1의 제2패턴을 소정량 제거하는 공정을 진행한다.

이때, 제1의 물질층을 구성하는 물질로 산화물을 사용하였을 경우엔 상기 등방성식각에 사용되는 에천트로 완충산화막에천트(Buffered Oxide Etchant(B. O. E); HF와 NH_4F 를 일정한 비율로 혼합한 용액)를 사용하고, 질화물을 사용하였을 경우엔, 인산을 사용한다. 또한, 상기 소정량은 제1의 제2패턴의 가장자리를 기준으로 했을 때, 횡방향으로 약 $1,000\text{ \AA}$ 정도의 깊이로 식각되는 정도이다.

제18도는 제4의 측벽스페이서(74)를 형성하는 공정을 도시한 것으로서, 상기 제2의 물질층을 제거하는 제1공정, 및 결과물 전면에, 임의의 이방성식각에 대해 상기 제1도전층 및 제3도전층을 구성하는 물질과는 그 식각율이 다른 물질, 예컨대 상기 제1의 물질층을 형성하기 위해 질화물을 사용했을 경우엔(제1의 제2실시예) 고온산화막과 같은 산화물을, 산화물을 사용했을 경우엔(제2의 제2실시예) 실리콘 나이트라이드와 같은 질화물을 약 500 \AA 정도의 두께로 도포한 후 이방성식각함으로써 상기 제2의 제2패턴(70a) 및 제3의 스토리지전극 패턴(69) 측벽에 상기 제4의 측벽스페이서(74)를 형성하는 제2공정으로 진행된다.

제19도는 스토리지전극(100)을 형성하는 공정을 도시한 것으로서, 제2의 제2패턴을 제거하는 제1공정, 및 상기 제4의 측벽스페이서(74)를 식각마스크로 하고 상기 제4의 층간막(64)의 표면을 식각종료점으로 하여 상기 제1도전층 및 제3도전층을 식각대상물로 한 이방성식각을 결과물 전면에 행하여 상기 스토리지전극(100)을 형성하는 제2공정으로 진행한다.

제20도는 유전체막(110) 및 플레이트전극(120)을 형성하는 공정을 도시한 것으로서, 제4의 측벽스페이서 및 제4의 층간막을 제거하는 제1공정, 스토리지전극(100) 전면에, 예컨대 ONO 막, N_2O 막 또는 Ta_2O_5 와 같은 유전물질을 도포하여 상기 유전체막(110)을 형성하는 제2공정, 및 결과물 전면에, 예컨대 불순물이 도우프된 다결정실리콘과 같은 도전물질을 증착하여 상기 플레이트전극(120)을 형성하는 제3공정으로 진행된다.

상술한 제4실시예에 의하면, 다결정실리콘 사이에 생기는 자연산화막을 식각종료점으로 이용하므로 공정의 재현성을 확보하였고, 한번의 측벽스페이서 형성 공정에 의해 두 겹의 원통으로 된 스토리지전극을 형성할 수 있으므로 제조공정을 단순화 시켰다.

제21도 내지 제25도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제5실시예를 도시한 것으로서, 상기 제4실시예에서 제2의 물질층을 구성하는 물질로 포토레지스트를 사용하던 것을, 본 실시예에서는, 상기 제1의 물질층을 구성하는 물질과는 임의의 식각에 대해 그 식각율이 다른 물질, 예컨대 상기 제1의 물질층을 구성하는 물질로 질화물을 사용할 경우엔 고온산화막과 같은 산화물을, 산화물을 사용할 경우엔 실리콘 나이트라이드와 같은 질화물을 사용하여 진행한 경우이다. 본 실시예를 설명하기 위해 도시된 단면도들에 있어서, 도면번호 76은 질화물 또는 산화물로 형성된 상기 제2의 물질층을 의미하고, 도면번호 77은 제2패턴 형성을 위한 사진식각 공정에 사용되는 포토레지스트를 의미한다.

제26도 내지 제33도는 본 발명에 의한 반도체 메모리장치의 커패시터 제조방법의 제6실시예를 설명하기 위해 도시된 단면도들이다.

먼저, 제26도는 제1도전층(76), 제3의 물질층(78), 제4의 물질층(80) 및 제5의 물질층(82)을 형성하는 공정을 도시한 것으로서, 제16도에서 설명한 방법과 같은 방법으로 상기 제1도전층(76)까지 형성하는 제1공정. 제1도전층 상에 임의의 식각에 대해 상기 제1도전층을 구성하는 물질과는 그 식각율이 다른 물질, 예컨대 실리콘 나이트라이드(Si_3N_4)와 같은 질화물(제1의 제6실시예)이나 고온산화막과 같은 산화물(제2의 제6실시예)을 약 $1,000\text{ \AA}$ 정도의 두께로 도포하여 상기 제3의 물질층(78)을 형성하는 제2공정. 제3의 물질층 상에 임의의 이방성식각에 대해 상기 제1도전층을 구성하는 물질과는 그 식각율이 다른 물질, 예컨대 다결정실리콘을 약 $1,000\text{ \AA}$ 정도의 두께로 증착하여 상기 제4의 물질층(80)을 형성하

는 제3공정, 및 제4의 물질총 상에 임의의 등방성식각에 대해 상기 제4의 물질총(80), 제3의 물질총(78) 및 제1도전총(76)을 구성하는 물질과는 그 식각율이 다른 물질, 예컨대 제1의 제6실시예의 경우엔 고온산화막과 같은 산화물을, 제2의 제6실시예의 경우엔 실리콘 나이트라이드와 같은 질화물을 약 1,000Å 정도의 두께로 도포하여 상기 제5물질총(82)을 형성하는 제4공정으로 진행된다.

제27도는 제3패턴(83)을 형성하는 공정을 도시한 것으로서, 상기 제5의 물질총 및 제4의 물질총을 식각대상물로 한 소정의 이방성식각을 행하여 각 셀 단위로 한정되고 상기 제5의 물질총(82a) 및 제4의 물질총(80a)으로 구성된 상기 제3패턴(83)을 형성하는 공정으로 진행된다.

제28도는 제5의 측벽스페이서(84) 및 제4패턴(78a)을 형성하는 공정을 도시한 것으로서, 제3패턴(83)이 형성되어 있는 결과물 전면에, 고온산화막과 같은 산화물(제2의 제6실시예의 경우엔 실리콘 나이트라이드와 같은 질화물)을 약 1,000Å 정도의 두께로 도포한 후 이방성식각하여 상기 제3패턴 측벽에 제5의 측벽스페이서(84)를 형성하는 제1공정, 및 상기 제3패턴 및 제5의 측벽스페이서를 식각마스크로 하고 상기 제1도전총(76)의 표면을 식각종료점으로 하여 상기 제3의 물질총을 식각대상물로 한 이방성식각을 결과물 전면에 행함으로써 상기 제4패턴(78a)을 형성하는 제2공정으로 진행된다.

제29도는 제6의 측벽스페이서(86)을 형성하는 공정을 도시한 것으로서, 원총산화막에천트(B.O.E)(제2의 제6실시예의 경우엔 인산)와 같은 식각용액을 사용하여 상기 제5의 측벽스페이서 및 제3패턴을 구성하고 있는 제5의 물질총(82a)을 제거하는 제1공정, 및 결과물 전면에, 고온산화막과 같은 산화물(제2의 제6실시예의 경우엔 실리콘 나이트라이드와 같은 질화물)을 약 500Å 정도의 두께로 도포한 후 이방성식각하여 상기 제4의 물질총(80a) 및 제4패턴(78a) 측벽에 상기 제6의 측벽스페이서(86)를 형성하는 제2공정으로 진행된다.

제30도는 제4의 스토리지전극 패턴(76a)을 형성하는 공정을 도시한 것으로서, 상기 제4의 물질총을 식각대상물로 하고 상기 제4패턴의 표면을 식각종료점으로 한 이방성식각을 결과물 전면에 행함으로써 상기 제4의 물질총을 제거함과 동시에 상기 제4의 스토리지전극 패턴(76a)을 형성하는 공정으로 진행된다. 이는, 제4의 물질총과 제1도전총은 상기 이방성식각에 대해 서로 같은 식각율을 갖는 물질로 구성되기 때문이다.

이때, 제1도전총의 식각량은 상기 제4의 물질총에 의해 결정되므로 타임에칭등의 식각방법에서 문제시되던 공정 재현성 문제를 해결할 수 있다.

제31도는 제5패턴(78b)을 형성하는 공정을 도시한 것으로서, 상기 제6의 측벽스페이서(86)를 식각마스크로 하고 상기 제4패턴을 식각대상물로 한 이방성식각을 결과물 전면에 행함으로써 제6의 측벽스페이서 하부에 형성되고 상기 제3의 물질총으로 된 제5패턴(78b)을 형성한다.

제32도는 스토리지전극(100)을 형성하는 공정을 도시한 것으로서, 제6의 측벽스페이서 및 제5패턴을 식각마스크로 하고 상기 제1도전총을 식각대상물로 하며 상기 제4의 층간막(64)을 식각종료점으로 한 이방성식각을 결과물 전면에 행함으로써 두겹의 원통으로 된 상기 스토리지전극(100)을 형성한다.

제33도는 유전체막(110) 및 플레이트전극(120)을 형성하는 공정을 도시한 것으로서, 제6의 측벽스페이서, 제5패턴 및 제4의 층간막을 제거하는 제1공정, 상기 스토리지전극 전면에, 예컨대 ONO막, NO막 및 Ta₂O₅와 같은 유전율질을 도포하여 상기 유전체막(110)을 형성하는 제2공정, 및 결과물 전면에, 예컨대 불순물이 도우프된 다결정실리콘과 같은 도전율질을 증착하여 상기 플레이트전극(120)을 형성하는 제3공정으로 진행된다.

상술한 제6실시예에 의하면, 제4의 물질총의 두께로 상기 제4의 스토리지전극 패턴의 모양을 결정할 수 있으므로 공정의 재현성이 우수하다.

따라서, 누설전류, 공간 등의 문제를 방지하고 두 겹의 원통모양으로 형성된 스토리지전극을 형성할 수 있으므로, 반도체 메모리장치의 신뢰도 및 집적도를 증가시킬 수 있다.

본 발명이 상기 실시예에 한정되지 않으며 많은 변형이 본 발명의 기술적 사상내에서 당분야에서 통상의 지식을 가진자에 의하여 가능함은 명백하다.

(57) 청구의 범위

청구항 1

반도체기판 전면에 도전총을 형성하는 제1공정, 상기 도전총 상에 각 셀 단위로 한정된 모양의 제1패턴을 형성하는 제2공정, 상기 제1패턴의 측벽에 제1스페이서를 형성하는 제3공정, 상기 제1스페이서의 측벽에 제2스페이서를 형성하는 제4공정, 상기 제1패턴, 제1스페이서 및 제2스페이서를 식각마스크로 하여 상기 도전총을 식각함으로써 스토리지 전극 패턴을 형성하는 제5공정, 상기 제1패턴 및 제2스페이서를 제거하는 제6공정, 상기 제1스페이서의 내, 외측벽에 제3스페이서를 형성하는 제7공정, 상기 제1스페이서를 제거하는 제8공정, 및 상기 제3스페이서를 식각마스크로 하여 상기 스토리지 전극 패턴을 식각함으로써 스토리지 전극을 형성하는 제9공정을 포함하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 2

제1항에 있어서, 상기 제1공정 전에, 반도체기판 상에 식각저지층, 제1층간막, 제2층간막 및 제3층간막을 형성하는 공정을 추가하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 3

제2항에 있어서, 상기 제2층간막은, 상기 제1도전총과 같은 도전율질로 형성하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 4

제1항에 있어서, 상기 제6공정 후에, 상기 제1스페이서를 식각마스크로하여 상기 제1도전층을 소정깊이로 식각하는 공정을 추가하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 5

반도체기판 전면에 제1도전층을 형성하는 제1공정, 상기 제1도전층 상에 제2도전층을 형성하는 제2공정, 상기 제2도전층을 상에 제1물질층 및 제2물질층을 차례대로 적층하는 제3공정, 각 셀 단위로 한정되도록 상기 제1 및 제2물질층을 패터닝함으로써 상기 제1물질층으로 된 제1패턴 및 상기 제2물질층으로 된 제2패턴을 형성하는 제4공정, 상기 제1 및 제2패턴을 식각마스크로하여 도전층을 식각함으로써 스토리지 전극 패턴을 형성하는 제5공정, 상기 제1패턴의 가장자리부를 등방성식각함으로써 제3패턴을 형성하는 제6공정, 상기 제2패턴을 제거하는 제7공정, 상기 제3패턴 및 스토리지 전극 패턴의 측벽에 스페이서를 형성하는 제8공정, 상기 제3패턴을 제거하는 제9공정 및 상기 스페이서를 식각마스크로하여 상기 제1 및 제2도전층을 식각함으로써 스토리지 전극을 형성하는 제10공정을 포함하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 6

제5항에 있어서, 상기 제1공정 전에, 반도체기판 상에 식각저지층 및 층간막을 형성하는 공정을 추가하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 7

제5항에 있어서, 상기 제1물질층은, 임의의 식각공정에 대해, 상기 제2도전층을 구성하는 물질과는 그 식각율이 다른 물질로 형성되고, 상기 제2물질층은, 임의의 등방성 식각공정에 대해, 상기 제1물질층을 구성하는 물질과는 그 식각율이 다른 물질로 형성되는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 8

제7항에 있어서, 상기 제1 및 제2도전층은 다결정실리콘으로 형성되고, 상기 제2물질층은 포토레지스트, 산화물 및 질화물 중 어느 한 물질로 형성되는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 9

제6항 및 제8항 중 어느 한 항에 있어서, 상기 제2물질층을 포토레지스트 및 산화물 중 어느 한 물질로 형성할 경우, 상기 제1물질층은 질화물로 형성되고, 상기 스페이서는 산화물로 형성되며, 상기 식각저지층은 질화물로 형성되는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 10

제6항 및 제8항 중 어느 한항에 있어서, 상기 제2물질층을 포토레지스트 및 질화물 중 어느 한 물질로 형성할 경우, 상기 제1물질층은 산화물로 형성되고, 상기 스페이서는 질화물로 형성되는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 11

제5항에 있어서, 상기 제5공정시, 제2도전층의 두께만큼 식각공정이 행해해지는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 12

반도체기판 전면에 도전층을 형성하는 제1공정, 상기 도전층 상기 제1물질층, 제2물질층 및 제3물질층을 차례대로 적층하는 제2공정, 상기 제2물질층과 제3물질층을 각 셀 단위로 한정되도록 패터닝함으로써 상기 제2물질층으로 된 제1패턴 및 상기 제3물질층으로 된 제2패턴을 형성하는 제3공정, 상기 제1 및 제2패턴 측벽에 제1스페이서를 형성하는 제4공정, 상기 제1스페이서와 제1 및 제2패턴을 식각 마스크로하여 상기 제1물질층을 식각함으로써 상기 제1물질층으로 된 제3패턴을 형성하는 제5공정, 상기 제2패턴 및 제1스페이서를 제거하는 제6공정, 상기 제1패턴 및 제3패턴을 측벽에 각각 제2스페이서를 형성하는 제7공정, 상기 제1패턴을 제거하는 제8공정 및 상기 제2스페이서를 식각마스크로하여 상기 제3패턴 및 도전층을 이방성식각함으로써 스토리지 전극을 형성하는 제9공정을 포함하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 13

제12항에 있어서, 상기 제1공정 전에, 반도체기판 상에 식각저지층 및 층간막을 형성하는 공정을 추가하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 14

제12항에 있어서, 상기 제1물질층은, 임의의 이방성식각에 대해, 상기 도전층을 구성하는 물질과는 그 식각율이 다른 물질로 형성되고, 상기 제2물질층은, 임의의 이방성식각에 대해, 상기 도전층을 구성하는 물질과는 그 식각율이 같은 물질로 형성되며, 상기 제3물질층은, 임의의 이방성식각에 대해, 상기 제1스페이서를 구성하는 물질과는 그 식각율이 같고, 상기 제2물질층, 제1물질층 및 도전층을 구성하는 물질과는 그 식각율이 다른 물질로 형성되고, 상기 제2스페이서는, 임의의 이방성식각에 대해, 상기 도전층을 구성하는 물질과는 그 식각율이 다른 물질로 형성되는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 15

제14항에 있어서, 상기 도전층은 다결정실리콘으로 형성되고, 상기 제1물질층은 질화물을 형성되며, 상기 제2물질층은 다결정실리콘으로 형성되고, 상기 제3물질층, 제1스페이서 및 제2스페이서는 산화물로 형성되는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 16

제14항에 있어서, 상기 도전층은 다결정실리콘으로 형성되고, 상기 제1물질층은 산화물을 형성되며, 상기 제2물질층은 다결정실리콘으로 형성되고, 상기 제3물질층, 제1스페이서 및 제2스페이서는 질화물로 형성되는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 17

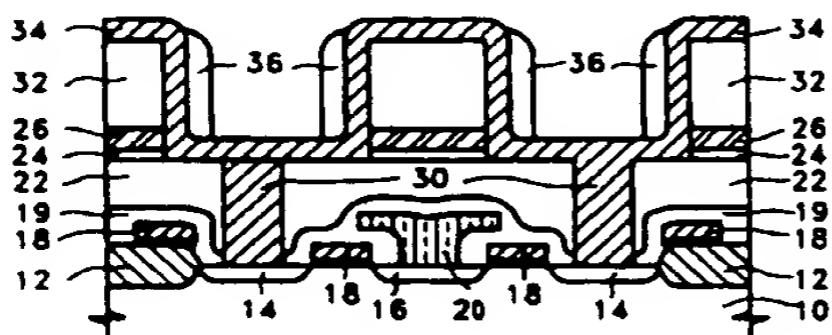
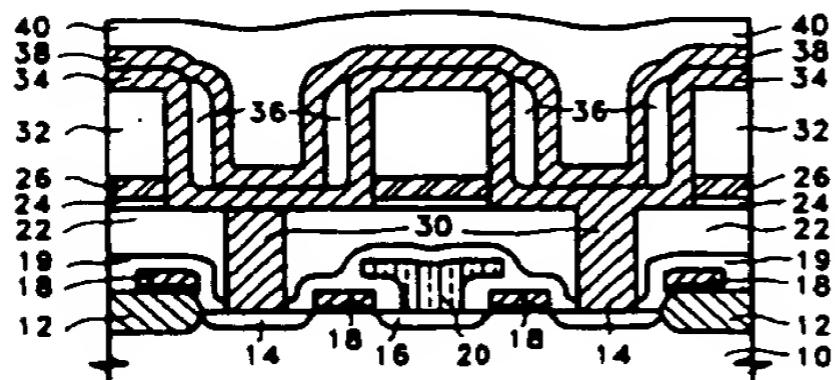
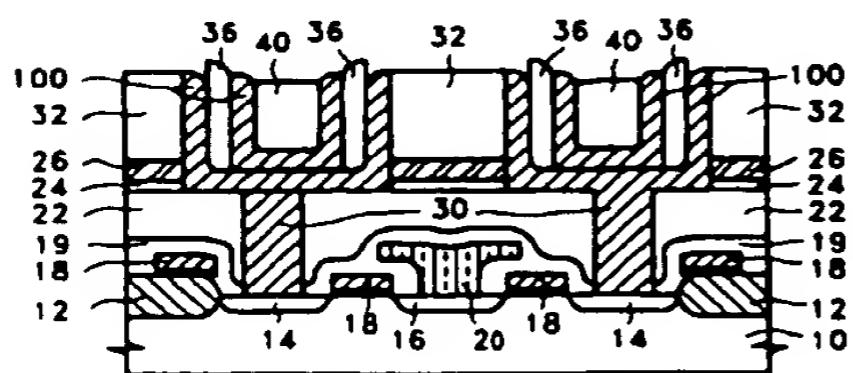
제12항에 있어서, 상기 제8공정 전 또는 후에, 상기 도전층 상에 적층되어 있는 물질들을 식각마스크로 하여 도전층을 소정깊이로 식각하는 공정을 추가하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 18

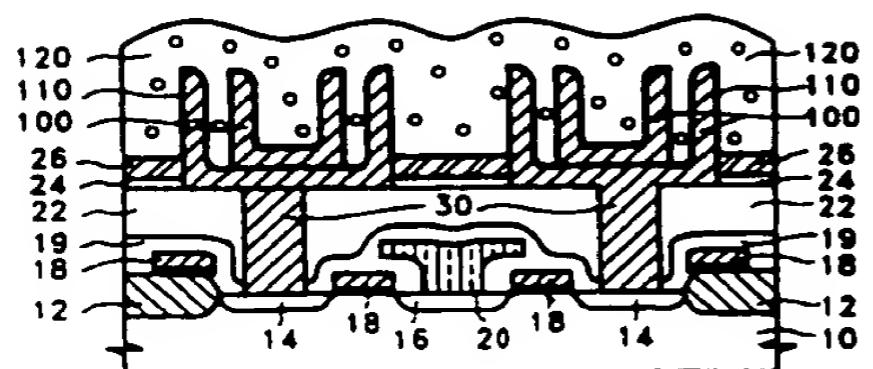
제12항에 있어서, 상기 제8공정은 이방성식각으로 진행되는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

청구항 19

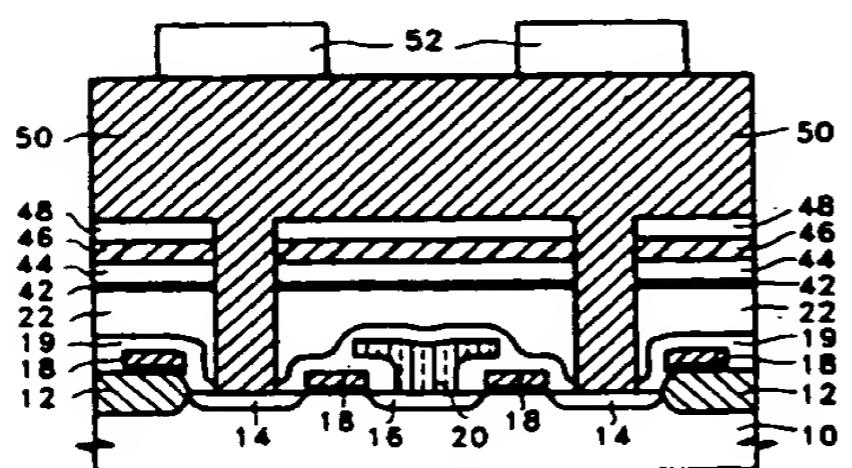
제2항에 있어서, 상기 제2층간막은 상기 제1스페이서를 구성하는 물질과 동일 물질로 형성하는 것을 특징으로 하는 반도체 메모리장치의 커패시터 제조방법.

도면**도면1****도면2****도면3**

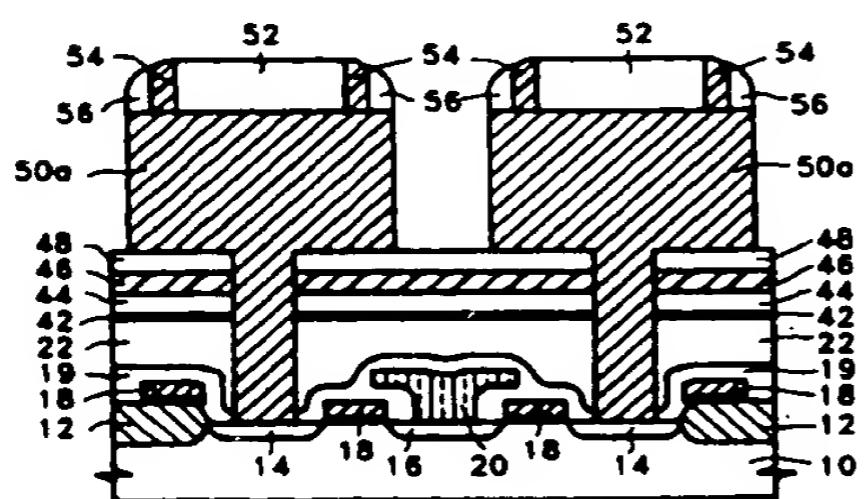
도면4



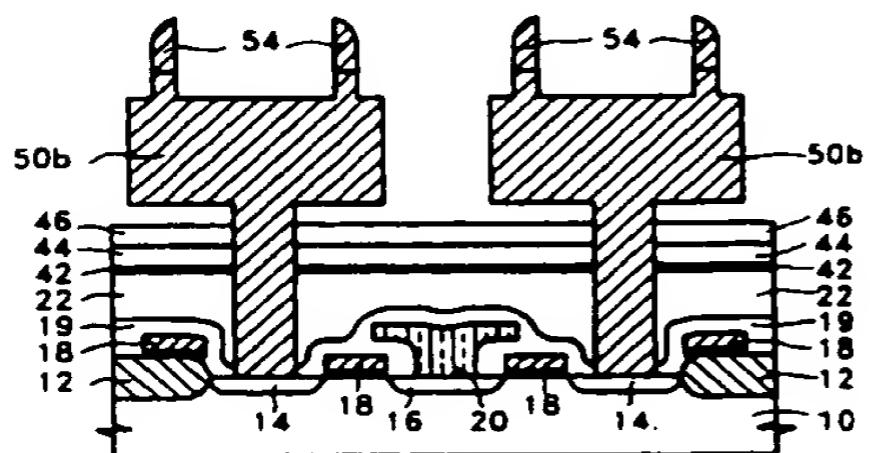
도면5



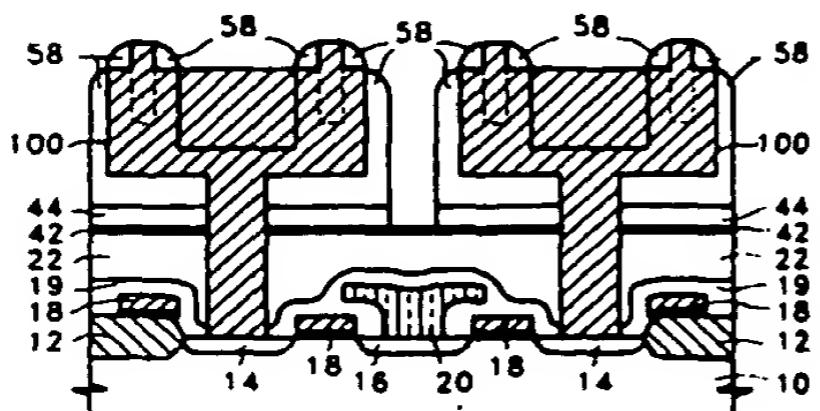
도면6



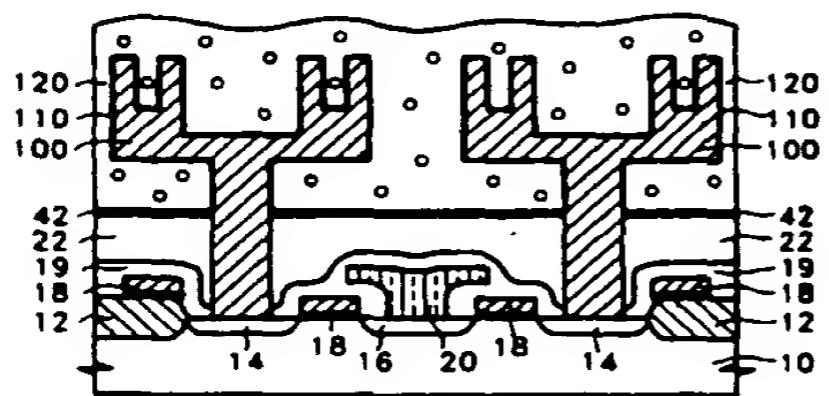
도면7



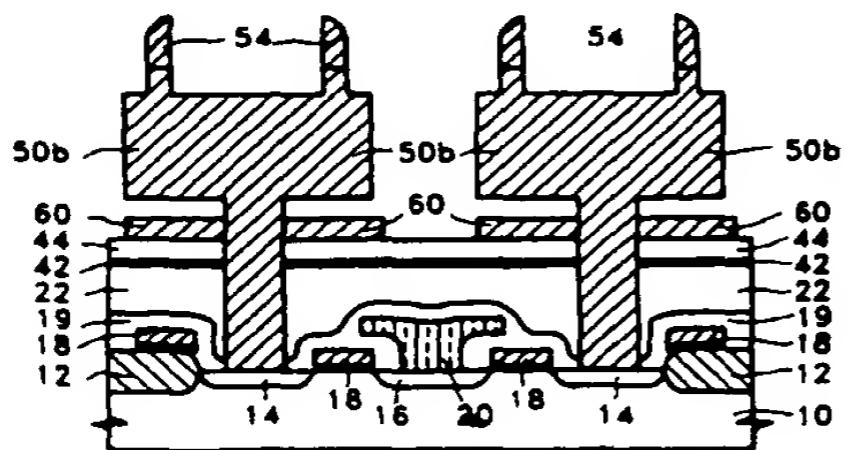
도면8



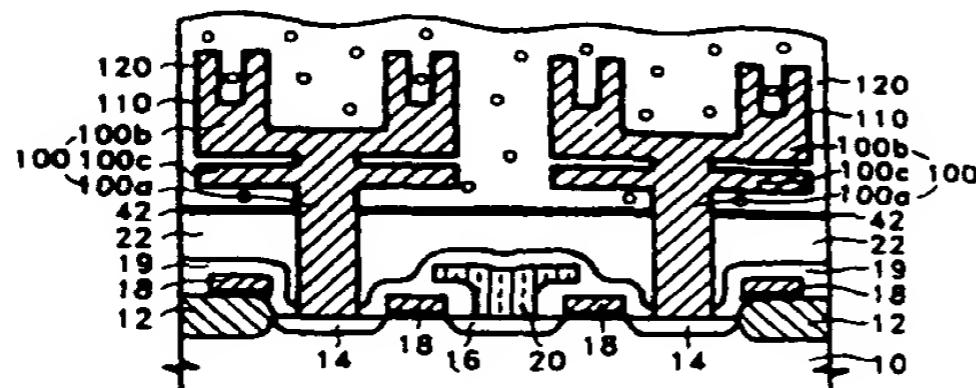
도면9



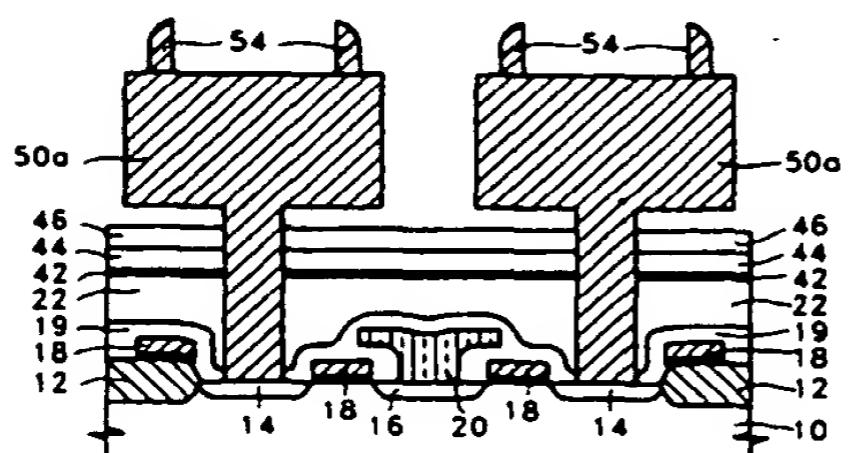
도면10



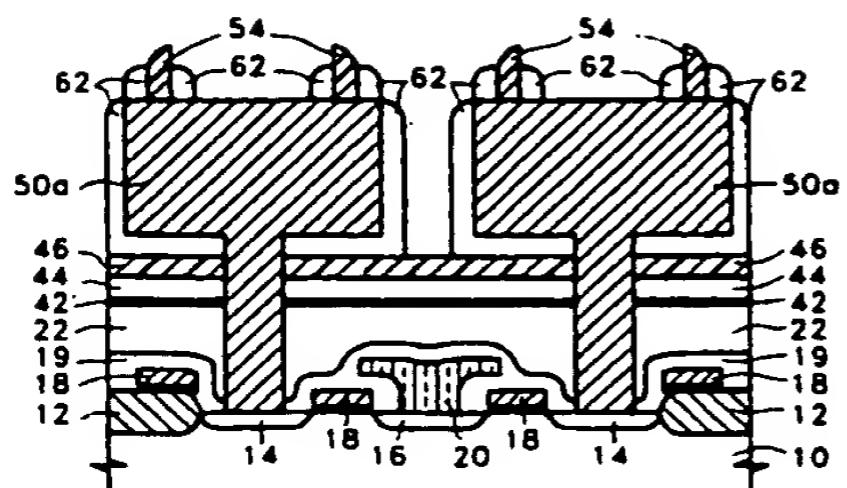
도면11



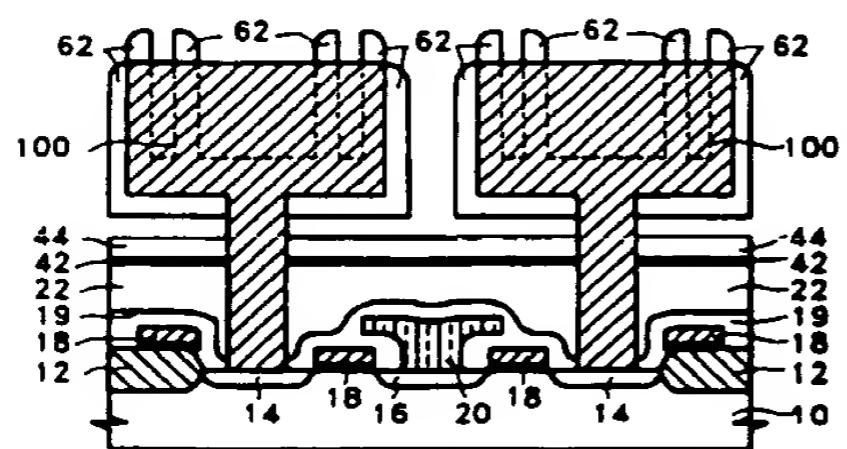
도면12



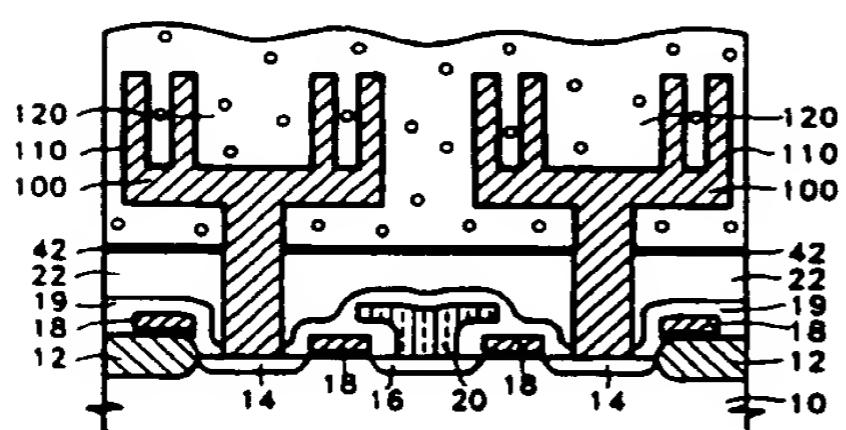
도면 13



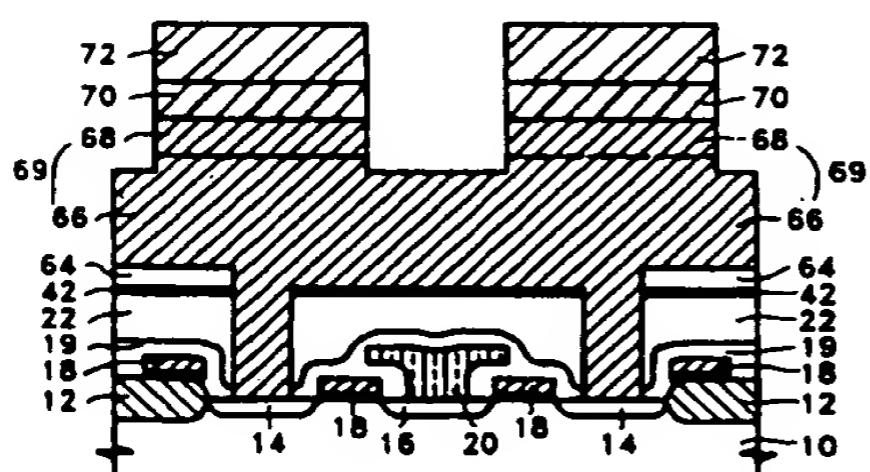
도면 14



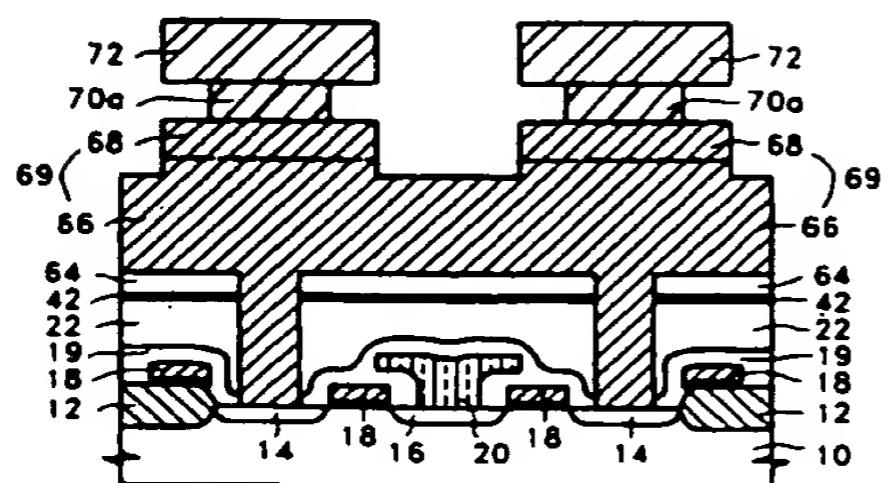
도면 15



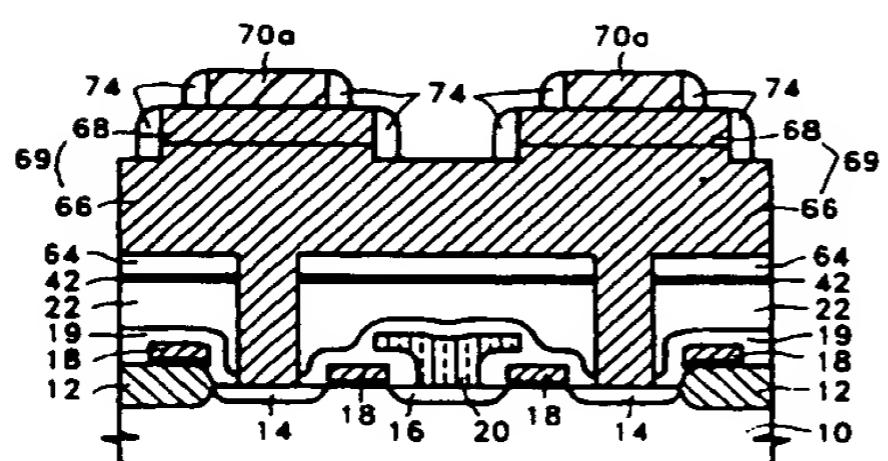
도면 16



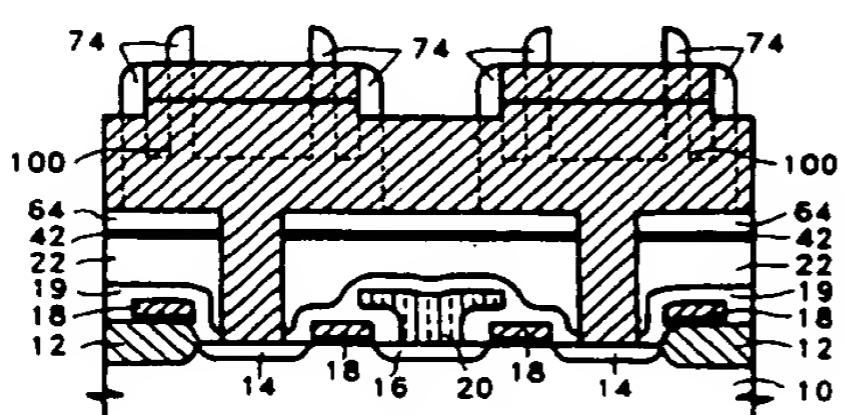
도면 17



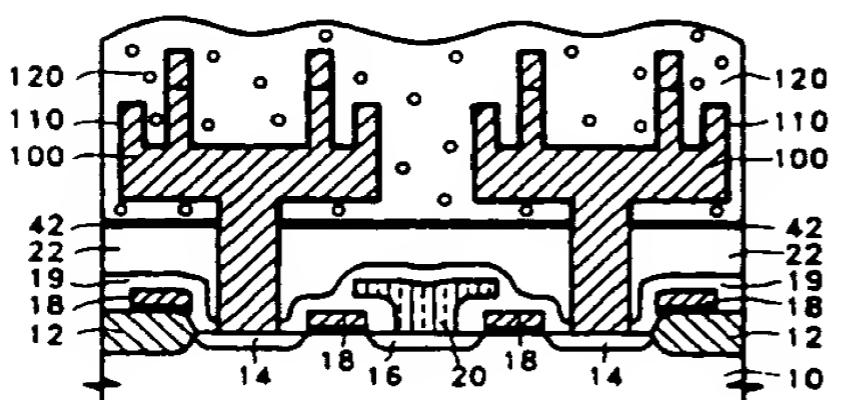
도면 18



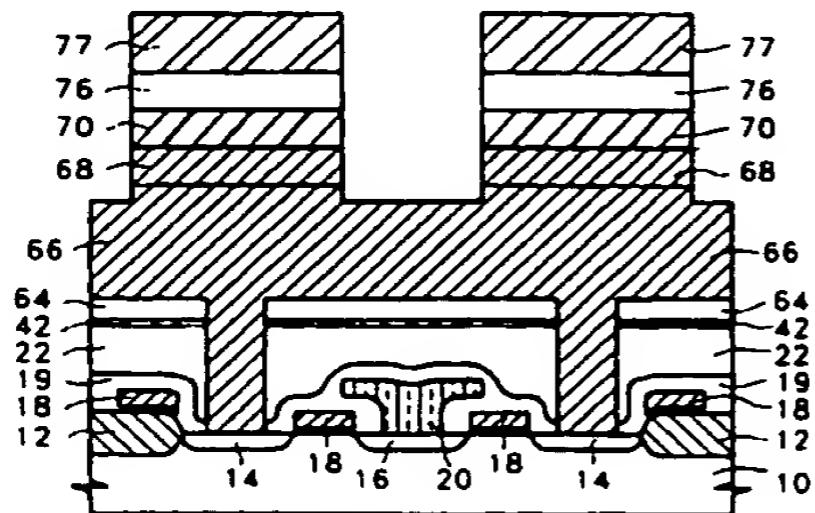
도면 19



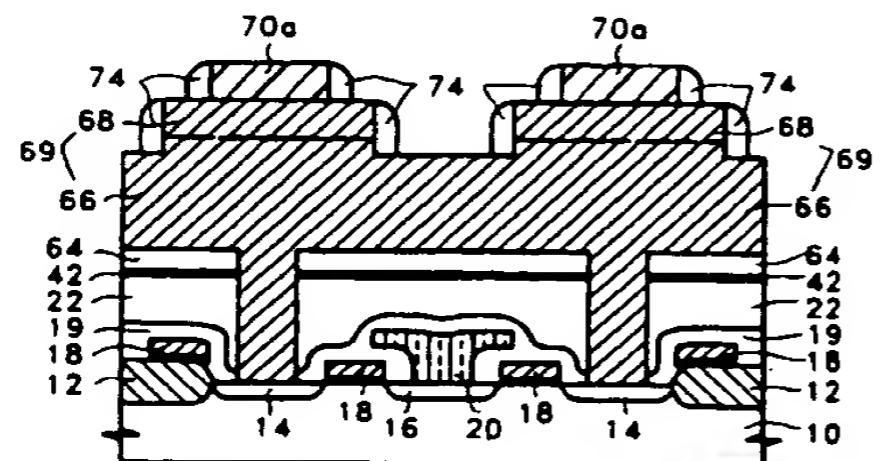
도면 20



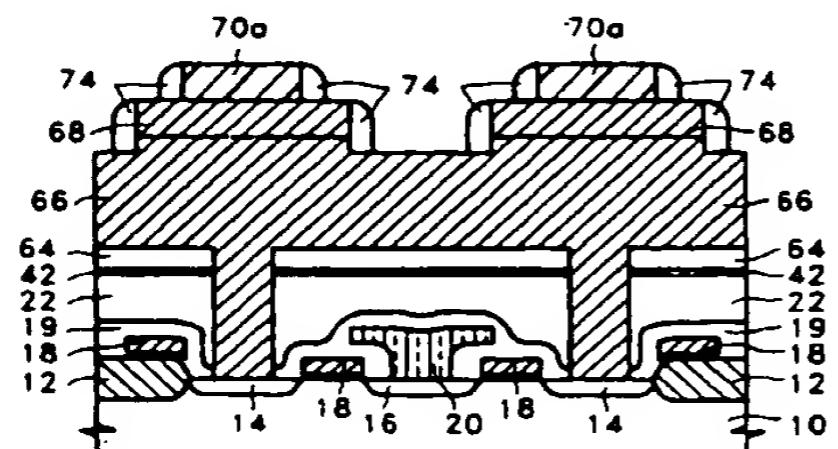
도면21



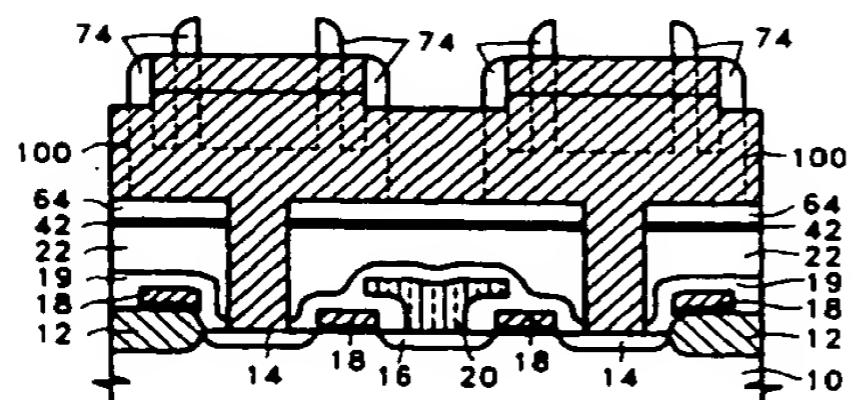
도면22



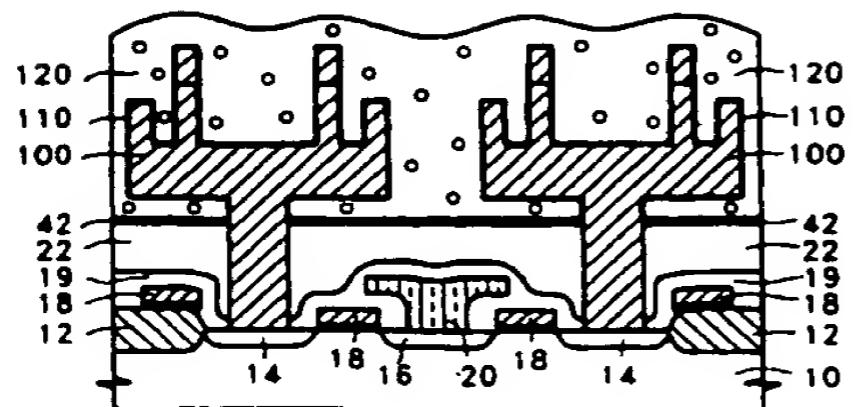
도면23



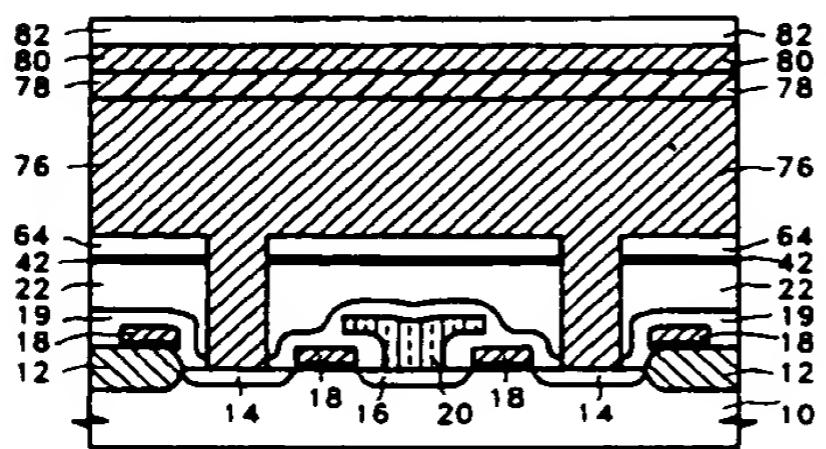
도면24



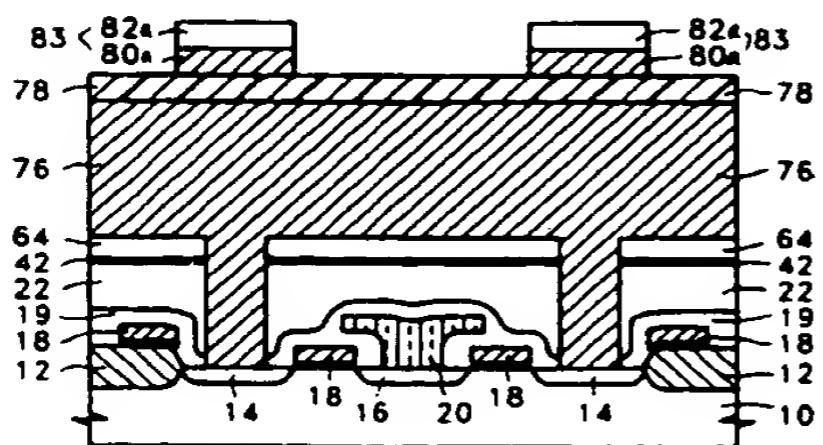
도면25



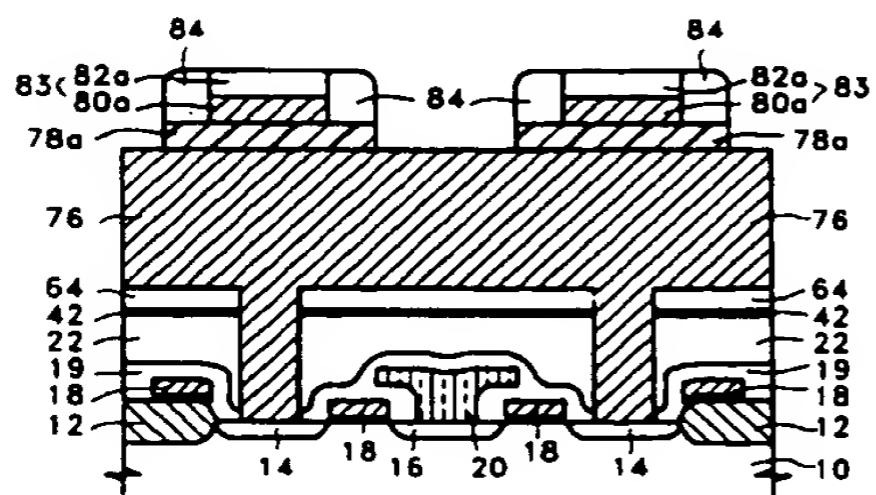
도면26



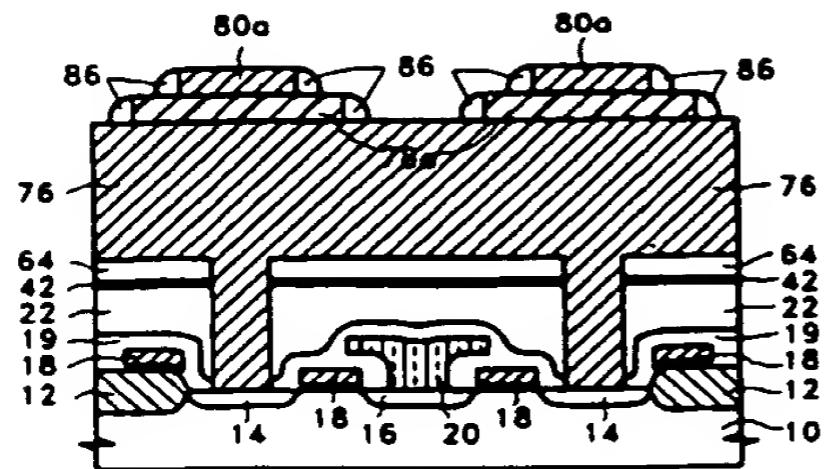
도면27



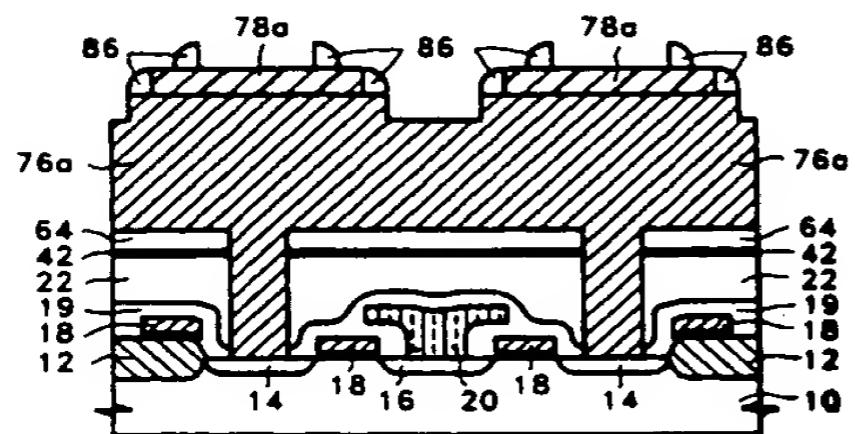
도면28



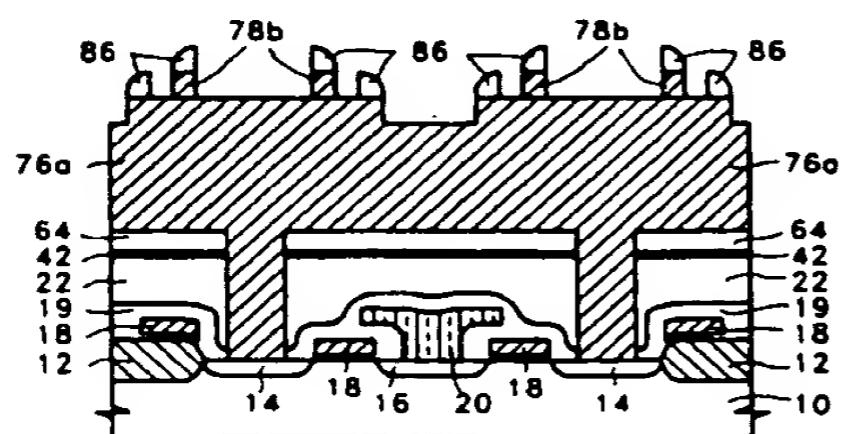
도면29



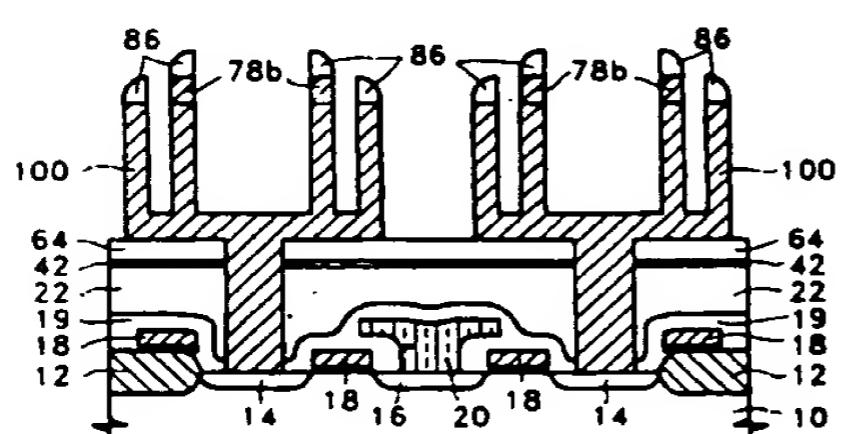
도면30



도면31



도면32



도면33

